

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-232531

(43)Date of publication of application : 05.09.1997

---

(51)Int.Cl. H01L 27/108  
H01L 21/8242  
G11C 11/56

---

(21)Application number : 08-034678

(71)Applicant : NEC CORP

(22)Date of filing : 22.02.1996

(72)Inventor : KASAI NAOKI

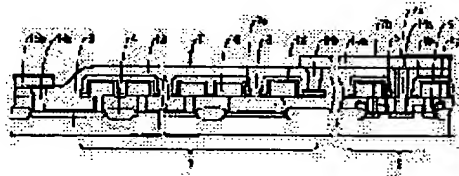
---

(54) SEMICONDUCTOR MEMORY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable a specific ratio between a coupling capacitance and a memory cell capacitance to be secured constantly by forming a coupling capacitor and a memory cell capacitor by the same process.

**SOLUTION:** Bit line pair (BL, BLB) are splitted into a plurality of splitted bit line pairs (BL1, BL1B; BL2, BL2B) so as to form coupling capacitor with mutually adjacent splitted bit lines tucked up. A memory cell containing a MOSFET, a capacitor lower electrode 10, a capacitor insulating film 11 and a capacitor upper electrode 12 is formed in a memory cell array part 2. A coupling capacitor composed of a plurality of unit capacitors formed in the same process as that of the cell capacitors series connected is connected between the splitted bit line 15a (BL1) and the splitted bit line (BL2B) in the coupling capacitor part 1. Likewise, the same coupling capacitor is formed between the splitted bit lines BL1B and BL2.



---

LEGAL STATUS

[Date of request for examination] 22.02.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2768341

[Date of registration] 10.04.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] It is the semiconductor memory characterized by forming two electrodes and capacity insulator layers of the aforementioned couple capacitative element in the semiconductor memory by which a bit line pair is divided into plurality and couple capacitative element is formed in tucking up its sleeves with a cord between the divided adjoining division bit lines by the conductive layer and insulator layer of the same layer as two electrodes of the capacitative element for data storages of a memory cell, and capacity insulator layers.

[Claim 2] The aforementioned couple capacitative element is a semiconductor memory according to claim 1 characterized by connecting to a serial two or more unit capacitative element which has the same layer structure as the aforementioned capacitative element for data storages.

[Claim 3] The aforementioned unit capacitative element which constitutes couple capacitative element is a semiconductor memory according to claim 2 characterized by a flat-surface configuration being equivalent to it of the aforementioned capacitative element for data storages, or forming it more widely than it.

[Claim 4] The semiconductor memory according to claim 1 characterized by forming the aforementioned couple capacitative element and the aforementioned capacitative element for data storages on bit line pair twinning.

## [Detailed Description of the Invention]

## [0001]

[The technical field to which invention belongs] Especially this invention relates to the multiple-value dynamic random access memory (DRAM) it was made to make one cell memorize two or more bits about a semiconductor memory.

## [0002]

[Description of the Prior Art] Storage capacity (number of bits) will increase by 4 times in about three years, and dynamic random access memory is developed. Increase of such storage capacity has so far been attained by the increase in high integration by detailed-izing of a semiconductor device, and a chip size. However, while detailed-ized

processing of a pattern becomes difficult, it is becoming still more difficult to secure the reliability of the element which turned minutely. Moreover, increase of a chip size not only causes the increase in cost, but causes the fall of the manufacture yield.

[0003] Usually, as for the memory cell, 1 bit consists of binary [ of 0 level and 1 level ]. Therefore, in order to increase the bit capacity of DRAM, the number of memory cells must be increased and increase of bit capacity will cause the above problems inevitably. As what solves this problem, the so-called multiple-value memory which makes the number of level of a memory cell larger than binary is proposed (JP,63-149900,A etc.).

[0004] As multiple-value memory, the sense of each bit is performed from MSB (most significant bit) one by one to LSB (least significant bit), the method which changes the sense level of a lower bit using the sense result of a high order bit is newly originated, and it is expected as what can carry out [ detailed ]-izing of the area per bit more as compared with the conventional multiple-value memory. The circuit diagram of the multiple-value memory is shown in drawing 4 .

[0005] a bit line pair -- BL and BLB -- the transfer gate TG -- 2 sets of division bit line pairs -- BL1 and BL1B -- And it is divided into BL2 and BL2B and each division bit line pair has sense amplifiers SA1 and SA2. an original bit line pair -- the memory cell on the intersection of BL, BLB, and a word line WLi ( $i=0-255$ ) -- a division bit line pair -- it has distributed to BL1, BL1B, and BL2 and BL2B Distribution of a memory cell is distributed so that the ratio of the stray capacity (all, such as a sense amplifier, were included) CB1 and CB2 of a division bit line may be set to 1:2.

[0006] Moreover, the couple capacitative element Cc (Cc also means the capacity value of this couple capacitative element) is respectively connected between the division bit line BL1, BL2B, and BL2 and BL1B. The memory cell is equipped with the cell capacitative element Cs (Cs also means the capacity value of this cell capacitative element), and the fixed potential VP ( $=1/2VCC$ ) called plate potential is impressed to the end of Cs. Moreover, the division bit line BL1, BL2B, and BL2 and BL1B are connected to input-output-line I/O1 and I/O2 through the transistor controlled by the signal of the column selection line CSL, respectively.

[0007] Next, operation of this multiple-value memory is explained with reference to drawing 5 (a) and (b). here -- drawing 5 (a) and (b) -- respectively -- a division bit line pair -- the voltage waveform of BL2, BL2B, and division bit line pair BL1 and BL1B is shown the time of standby -- the transfer gate TG -- turning on -- \*\*\*\* -- a bit line pair -- BL and BLB are precharged by the precharge transistor (with no illustration), and the equalizing transistor (with no illustration) as well as the usual DRAM at  $1/2VCC$  Then, if a word line is chosen at time T1, a cell data will be read for any of bit lines BL or BLB

being. The potential of the bit line of the side to which a selection cell is not connected stops at precharge level. Since the transfer gate is turned on at this time, even if a selection cell is in which [ of a division bit line pair ] side, in a biparite rate bit line, the same voltage according to "0"- "3" of a cell data appears. This voltage is lower than  $1/2V_{CC}$  ( $=VP$ ), when cell datas are "0" and "1", as shown in drawing 5 , and when it is "2" and "3", it becomes higher than  $VP$ .

[0008] time  $T_2$  -- setting -- the transfer gate  $TG$  -- turning off -- continuing -- a sense amplifier  $SA_2$  -- activation -- starting -- a division bit line pair -- amplification of the data on  $BL_2$  and  $BL_{2B}$  starts time  $T_3$  -- setting -- a division bit line pair -- one side of  $BL_2$  and  $BL_{2B}$  -- "1" -- level ( $V_{CC}$ ) and another side are set to "0" level ( $GND$ ) Here, a selection cell is connected to a bit line  $BL$  side, and if it assumes that it is that by which "2" or "3" was stored in the cell,  $V_{CC}$  level and  $BL_{2B}$  will serve as [  $BL_2$  ]  $GND$  level.

---

[0009] At this time, the amplitude of  $BL_2$  and  $BL_{2B}$  serves as  $1/2V_{CC}$  in general. Consequently,  $BL_{1B}$  will be raised  $xV$  with the couple capacity  $C_c$ , and  $BL_1$  will be reduced  $xV$ . Here, if the couple capacity  $C_c$  is adjusted so that the potential difference of adjacent signal level may be set to  $2dV(s)$  and it may become equal to  $dV$  about the potential difference  $xV$  to change, the level of  $BL_{1B}$  used as reference level will serve as  $VP+dV$  from  $VP$ . On the other hand, when stored data is "2", it passes through the level of  $BL_1$  by the side of a selection cell  $VP$  from  $VP+dV$ , and when stored data is "3", it changes to  $VP+2dV$  from  $VP+3dV$ .

[0010] Therefore, if a sense amplifier  $SA_1$  is activated at time  $T_4$ , according to stored data, one side will be set to "1" level ( $V_{CC}$ ), and, as for  $BL_1$  and  $BL_{1B}$ , another side will be set to "0" level ( $GND$ ). That is, when stored data is "2", as a solid line shows, and  $BL_1$  serves as [  $V_{CC}$  and  $BL_{1B}$  ]  $GND$ , and a dotted line shows,  $BL_1$  serves as [ when stored data is "3", /  $GND$  and  $BL_{1B}$  ]  $V_{CC}$ .

[0011] a potential change according to the couple capacity  $C_c$  when the stored data of a selection cell is "0" or "1" -- an opposite direction -- working -- the reference potential of  $BL_{1B}$  --  $VP$  to  $VP-dV$  -- becoming -- the level of  $BL_1$  of another side --  $VP-2$  -- it is set to  $dV$  (at the time of "0"), or  $VP$  (at the time of "1") Thus, it senses by  $SA_2$  and the data of  $LSB$  by  $SA_1$  by feeding back the result to the sense level of  $SA_1$  at  $SA_2$  It is amplified. [ the data of  $MSB$  ] These signals are read outside through  $I/O_1$  and  $I/O_2$  by making the signal of a column selection line into highness. Moreover, the re-writing to a cell can be performed by making the transfer gate  $TG$  turn on still in the state in the state where the word line  $WL_k$  ( $k=0, 3$  [ 2 and 3 ], ...) was chosen. At this time, the potential of a bit line serves as "3" and level which sets  $GND$  to "0" in  $V_{CC}$  decided by the potential of the bit line before  $ON$  of  $TG$ , and the capacity factor of the bit line capacity  $CB_1$  and  $CB_2$ .

[0012] Since the transfer gate TG turns on the voltage difference  $V_r$  which will be read [ capacity ] from the cell between the highest voltage (VCC) and the minimum voltage (GND) which are stored in a cell in the capacity of BL1 of  $C_s$  and a division bit line if capacity of a memory cell is set to  $CB1$  at the time of read-out and bit line capacity serves as  $3CB(s)1$  here, it is  $V_r = VCC / (1 + 3CB1/C_s)$ .

It becomes. Since it is  $V_r/3$ , potential difference  $2dV$  between each level is  $2dV = VCC / \{3 (1 + 3CB1/C_s)\}$ .

It becomes.

[0013] The potential change  $xV$  given to the bit line which carried out cross intersection through the couple capacity  $C_c$  with the amplitude of VCC of a bit line on the other hand is  $xV = VCC / \{2 (1 + CB1/C_c)\}$ .

It becomes. Therefore, the conditions for  $xV = dV$  being materialized are  $1 + CB1/C_c = 3 (1 + 3CB1/C_s)$ .

Here, since it is  $CB1/C_s \gg 1$  and  $CB1/C_c \gg 1$ , it is set to  $CB1/C_c = 9CB1/C_s C_c = C_s/9$ . Therefore, what is necessary will be just to set couple capacity between bit lines to one ninth of cell capacity (however, this value does not change by changing a sense method, and is not fixed).

[0014]

[Problem(s) to be Solved by the Invention] In order to mistake bits other than MSB by multiple-value memory of composition of having mentioned above and to read by it that there is nothing, it is that it is very important to fix the ratio of the couple capacity  $C_c$  and the memory cell capacity  $C_s$ . When this ratio is not regularity-ized, the tolerance to read-out voltage becomes low, and the possibility of incorrect read-out becomes high again. It will \*\*, and cannot avoid that process change arises in a semiconductor manufacturing process, but variation will arise in the capacity value of the capacitive element formed in the process when change arose in a process. Therefore, the 1st technical problem which this invention should solve is enabling it to always secure uniformly the capacity factor of the couple capacity  $C_c$  and the memory cell capacity  $C_s$ , even if change may arise in a manufacture process. This 1st technical problem is solvable by forming couple capacitive element and memory cell capacitive element according to the same process. It is because variation can be prevented from being generated in a capacity factor if it does in this way even if variation may arise in the electrode height of the thickness of a capacity insulator layer, or capacitive element and variation may arise in capacity value by process change for the reason.

[0015] Although it is necessary to enlarge memory cell capacity  $C_s$  in order to operate DRAM stably, since the cell size became small, recently, the SUTAKKUTO type and

trench type which formed capacitor structure in three dimensions are used. Pattern formation of the electrode connected to the diffusion layer of the transistor which constitutes these capacitor structure is carried out using the lower limit called design rule. It is necessary to form the couple capacity  $C_c$  correctly so that it may always become 1/several values to the memory cell capacity  $C_s$ . by the way, for the reason Although it is desirable to form couple capacitative element and memory cell capacitative element in the same process, since memory cell capacitative element is already designed based on the minimum design rule, the material of the same layer as  $C_s$  -- using it -- in addition -- and it is very difficult to obtain several [ 1/ ] of the capacity of  $C_s$  by independent capacitative element Therefore, the 2nd technical problem which should solve this invention is enabling it to form the element of several [ 1/ ] of the capacity of cell capacity, using the material of the same layer as the cell capacity  $C_s$  maintaining the minimum design rule.

---

[0016] In order to enlarge memory cell capacity  $C_s$ , thickness of a capacity insulator layer is thin-film-ized by even the minimum thickness which can disregard leak in the voltage concerning a capacity film. The voltage of the potential difference between bit lines BL and BLB and a plate joins the capacity insulator layer of memory cell capacitative element. The voltage which joins a bit line changes between the supply voltage VCC inside a memory cell, and the grounding potential GND. The voltage VP which joins a plate is VCC of half of supply voltage inside memory cell/2. Therefore, the voltage impressed to the capacity insulator layer of memory cell capacitative element is VCC/2 at the maximum. On the other hand, couple capacity is connected to two bit lines which become a pair. therefore, the voltage which joins couple capacitative element -- a maximum of -- it becomes the double precision of VCC and memory cell capacitative element Therefore, the 3rd technical problem which should solve this invention is making it cause neither leak nor dielectric breakdown, even if voltage higher than memory cell capacity may be impressed to the couple capacitative element formed of the same process as memory cell capacitative element.

[0017]

[Means for Solving the Problem] The 1st technical problem mentioned above is solvable by forming couple capacitative element in the same process as memory cell capacitative element. Moreover, the above-mentioned 2nd and the 3rd technical problem can solve couple capacitative element equivalent to memory cell capacitative element, or by constituting by the series connection of two or more unit capacitative element which has the size beyond it more greatly [ capacity value ] on a par with memory cell capacitative element than it.

the division bit line BL1, BL2B, and BL2 and BL1B, and in which the couple capacitative element Cc has the same layer structure as the memory cell capacitative element Cs, and is constituted respectively. Since the other point and circuit operation are the same as that of the case of the circuit shown in drawing 4, the detailed explanation is omitted. Specifically in the circuit shown by drawing 1, the series connection of the nine unit capacitative element is carried out. This number changes according to the capacity value of unit capacitative element, and the kind of sense circuit.

[0023] Drawing 2 is the cross section having shown typically the structure of the couple part by volume 1 in the semiconductor device of the 1st example of this invention, and the memory cell array section 2. As shown in drawing 2, the gate oxide film 5 is formed in the front face of the P type silicon substrate 3 separated by the isolation field which consists of a field oxide film 4. On the field oxide film 4 and the gate oxide film 5, word lines 6a and 6b are formed. The portion on the gate oxide film 5 of a word line constitutes the gate electrode.

[0024] In the surface field of the P type silicon substrate 3 of the memory cell array sections 2 other than the field in which the field oxide film 4 and the gate electrode (6a) are formed, the N type diffusion layers 7a and 7b used as the source drain field of a transistor are formed, and N type diffusion layer 7c for connecting unit capacitative element is formed in the front face of the P type silicon substrate 3 of the couple part by volume 1. On these front faces, while [ the 1st layer ] consisting of a silicon oxide, the insulator layer 8 has accumulated. Into the insulator layer 8, the 1st contact plug 9 which connects with N type diffusion layer 7b the capacity lower electrode 10 formed on the insulator layer 8 between the 1st layer is formed between the 1st layer.

[0025] The capacity up electrode 12 is formed through the capacity insulator layer 11 deposited on the front face on the capacity lower electrode 10. The insulator layer 13 has accumulated between the 2nd layer on the insulator layer 8 and the capacity up electrode 12 between the 1st layer. Into the insulator layer 13, 2nd contact plug 14b which connects the capacity up electrode 12 and bit line 15a formed on the insulator layer 13 between the 2nd layer is formed between the 2nd layer. Into the insulator layer 8 and the insulator layer 13 between the 2nd layer, the 2nd contact plugs 14a and 14c which connect the N type diffusion layers 7a and 7c and the bit lines 15a and 15b formed on the insulator layer 13 between the 2nd layer are formed between the 1st layer. Consequently, the memory cell of the SUTAKKUTO capacitor structure where the capacitative element of the memory cell which consisted of a capacity lower electrode 10, a capacity insulator layer 11, and a capacity up electrode 12 is formed in the lower part



of bit line 15a in the upper part of word line 6a is formed in the memory cell array section 2.

[0026] Moreover, the unit capacitative element [ two or more (here nine pieces) ] which consisted of a capacity lower electrode 10, a capacity insulator layer 11, and a capacity up electrode 12 is formed in the couple part by volume 1. Each unit capacitative element reaches capacity up electrode 12, and is connected in series with the 1st contact plug 9 by N type diffusion layer 7c. The end connected in series is connected to bit line 15b through [ becoming a pair ] 2nd contact plug 14b, and the other end is connected to bit line 15b of another side which becomes a pair through 2nd contact plug 14c. Therefore, the couple capacitative element which consists of a series-connection object of unit capacitative element between bit line 15a and 15b is connected. In the couple part by volume 1, all unit capacitative element is designed so that it may have a capacity equivalent to the cell capacity  $C_s$  of a memory cell.

---

[0027] [2nd example] drawing 3 is the cross section having shown typically the structure of the couple part by volume 21 in the semiconductor device of the 2nd example of this invention, and the memory cell array section 22. In addition, the circuit diagram of this example memory is the same as that of the thing of the 1st example shown in drawing 1. As shown in drawing 3, the gate oxide film 25 is formed in the front face of the P type silicon substrate 23 separated by the isolation field which consists of a field oxide film 24. Word line 26a formed in the field of the request on the gate oxide film 25 constitutes the gate electrode of a transistor, and word line 26b formed on the field oxide film 24 has become the wiring which connects a gate electrode. In the surface field of the P type silicon substrate 23 of the memory cell array sections 22 other than the field in which the field oxide film 24 and the gate electrode (26a) are formed, the N type diffusion layers 27a and 27b used as the source drain of a transistor are formed, and N type diffusion layer 27c for connecting a capacitor is formed in the front face of the P type silicon substrate 23 of the couple part by volume 21. On these front faces, while [ the 1st layer ] consisting of a silicon oxide, the insulator layer 28 has accumulated.

[0028] Into the insulator layer 28, the 1st contact plug 29 which connects N type diffusion layer 27b and bit line 30a formed on the insulator layer 28 between the 1st layer is formed between the 1st layer. On the front face of bit lines 30a and 30b, and the insulator layer 28 between the 1st layer, the insulator layer 31 has accumulated between the 2nd layer. Into the insulator layer 31, 2nd contact plug 32c which connects bit lines 30a and 30b and the capacity lower electrode 33 formed on the insulator layer 31 between the 2nd layer is formed between the 2nd layer. Into the insulator layer 28

and the insulator layer 31 between the 2nd layer, the 2nd contact plugs 32a and 32b which connect the N type diffusion layers 27b and 27c and the capacity lower electrode 33 formed on the insulator layer 31 between the 2nd layer are formed between the 1st layer.

[0029] On the capacity lower electrode 33, the capacity up electrode 35 is formed through the capacity insulator layer 34 deposited on the front face. Consequently, the memory cell of the SUTAKKUTO capacitor structure where the capacitive element of the memory cell which consisted of a capacity lower electrode 33, a capacity insulator layer 34, and a capacity up electrode 35 is formed in word line 26a and the bit line 30a upper part is formed in the memory cell array section 22. Moreover, the capacitor [ two or more (this example 12 pieces) ] which consisted of a capacity lower electrode 33, a capacity insulator layer 34, and a capacity up electrode 35 is formed in the couple part by volume 21. Each capacitor reaches capacity up electrode 35, and is connected in series by 2nd contact plug 32b and N type diffusion layer 27c. The end connected in series is connected to bit line 30a through [ becoming a pair ] 2nd contact plug 32c, and the other end is connected to bit line 30b of another side which becomes a pair through 2nd contact plug 32c. Therefore, between bit line 30a and 30b, it means that the couple capacitive element constituted with the series-connection object of unit capacitive element was connected. In this example, the couple capacitive element of the capacity value of  $C_s/9$  has been obtained by carrying out the 12-piece series connection of the unit capacitive element which has  $4/3$  of the capacity of the memory cell capacity  $C_s$ .

[0030]

[Effect of the Invention] Since the semiconductor memory by this invention forms the couple capacitive element between bit lines in the same process as memory cell capacitive element as it connected above, even if variation arises in for example, capacity insulation thickness, electrode height, etc., since the ratio of the capacity of a memory cell and couple capacity is kept constant by change of the process at the time of forming capacity even if, it can secure the margin of multiple-value sense operation greatly by it. Moreover, since the same layer as the layer which constitutes memory cell capacitive element is used for the electrode layer and capacity insulator layer which constitute couple capacitive element, it is not necessary to increase a manufacturing process and they can manufacture multiple-value memory with a manufacturing cost equivalent to the conventional DRAM.

[0031] Moreover, it becomes possible about couple capacitive element equivalent to memory cell capacitive element, or to form the couple capacitive element of the capacity value below memory cell capacity, maintaining the minimum design size used

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平9-232531

(43) 公開日 平成9年(1997)9月5日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 8 1 F
21/8242			G 1 1 C 11/34	3 8 1 D
G 1 1 C 11/56			H 0 1 L 27/10	6 8 1 B

審査請求 有 請求項の数4 OL (全7頁)

(21) 出願番号 特願平8-34678

(22) 出願日 平成8年(1996)2月22日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 笠井 直記

東京都港区芝五丁目7番1号 日本電気株式会社内

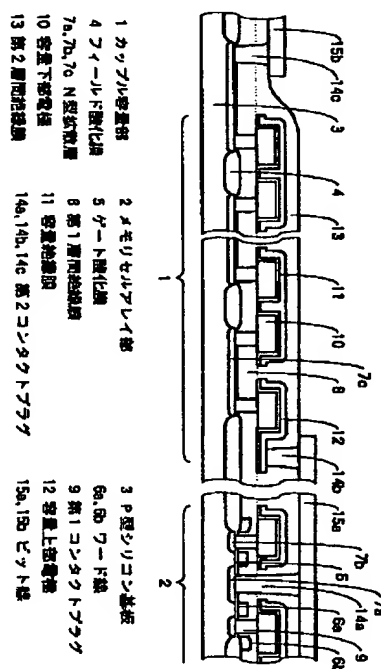
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 多値メモリのセンス動作のマージンを大きく確保できるようにする。容量絶縁膜のリーク電流の抑制。最小設計寸法の維持。

【構成】 ビット線対 (BL, BLB) は複数の分割ビット線対 (BL1, BL1B; BL2, BL2B) に分割され、隣接する分割ビット線同士ではたすき掛けにカップル容量素子が形成される。メモリセルアレイ部2では、MOSFETと容量下部電極10、容量絶縁膜11、容量上部電極12からなるセル容量とを含むメモリセルが形成される。カップル容量部1では、分割ビット線15a (BL1) と分割ビット線15b (BL2B) との間に、セル容量と同一のプロセスで形成された単位容量素子を複数個直列に接続して構成されたカップル容量素子が接続される。分割ビット線BL1B, BL2間にも同様のカップル容量素子が形成される。



## 【特許請求の範囲】

【請求項1】 ビット線対が複数に分割され、分割された隣接する分割ビット線間でたすき掛けにカップル容量素子が形成されている半導体記憶装置において、前記カップル容量素子の2つの電極と容量絶縁膜は、メモリセルのデータ記憶用容量素子の2つの電極と容量絶縁膜と同一の層の導電層および絶縁膜で形成されていることを特徴とする半導体記憶装置。

【請求項2】 前記カップル容量素子は、前記データ記憶用容量素子と同一の層構造を有する単位容量素子を複数個直列に接続したものであることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 カップル容量素子を構成する前記単位容量素子は、平面形状が前記データ記憶用容量素子のそれと同等であるかそれより広く形成されていることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記カップル容量素子および前記データ記憶用容量素子がビット線対より上に形成されていることを特徴とする請求項1記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に、1セルに複数ビットを記憶させるようにした多値ダイナミック・ランダム・アクセス・メモリ(DRAM)に関するものである。

## 【0002】

【従来の技術】ダイナミック・ランダム・アクセス・メモリは、記憶容量(ビット数)がほぼ3年で4倍に増加して開発されている。これまでこのような記憶容量の増大は、半導体素子の微細化による高集積化とチップサイズの増加によって達成されてきた。しかし、パターン

の微細化加工が難しくなるとともに、微細化された素子の信頼性を確保することがますます困難になってきている。また、チップサイズの増大は、コスト増加を招くばかりでなく、製造歩留りの低下を招く。

【0003】通常、メモリセルは0レベルと1レベルの2値で1ビットが構成されている。したがって、DRAMのビット容量を増大させるには、メモリセル数を増大させなければならず、ビット容量の増大は必然的に上述のような問題を引き起こすことになる。この問題を解決

するものとして、メモリセルのレベル数を2値より大きくする、いわゆる多値メモリが提案されている(特開昭63-149900号公報など)。

【0004】多値メモリとして、各ビットのセンスをMSB (most significant bit) からLSB (least significant bit) へと順次実行し、上位ビットのセンス結果を用いて下位ビットのセンスレベルを変える方式が新たに創案され、従来の多値メモリに比較してビット当たりの面積をより微細化できるものとして期待されている。その多値メモリの回路図を図4に示す。

【0005】ビット線対BLとBLBはトランスファゲートTGによって2組の分割ビット線対BL1とBL1B、およびBL2とBL2Bに分けられ、各分割ビット線対はセンスアンプSA1とSA2を持っており、本来のビット線対BL、BLBとワード線WLi (i=0-255)との交点にあるメモリセルは分割ビット線対BL1とBL1B、およびBL2とBL2Bに振り分けられている。メモリセルの配分は、分割ビット線の浮遊容量(センスアンプ等のすべてを含んだ)CB1とCB2の比が1:2となるように分配されている。

【0006】また、分割ビット線BL1とBL2BおよびBL2とBL1Bの間に各々カップル容量素子Cc (Ccはこのカップル容量素子の容量値をも意味する)が接続されている。メモリセルにはセル容量素子Cs (Csはこのセル容量素子の容量値をも意味する)が備えられており、Csの一端にはプレート電位と呼ばれる一定電位VP (=1/2VCC)が印加されている。また、分割ビット線BL1とBL2BおよびBL2とBL1Bは、それぞれカラム選択線CSLの信号によって制御されるトランジスタを介して入出力線I/O1とI/O2に接続されている。

【0007】次に、この多値メモリの動作を図5

(a)、(b)を参照して説明する。ここで、図5(a)、(b)は、それぞれ分割ビット線対BL2とBL2Bおよび分割ビット線対BL1とBL1Bの電圧波形を示す。待機時には、トランスファゲートTGはオンしており、ビット線対BLとBLBは、通常のDRAMと同様にプリチャージトランジスタ(図示なし)とイコライズトランジスタ(図示なし)により1/2VCCにプリチャージされている。その後、時刻T1でワード線が選択されるとセルデータがビット線BLまたはBLBの何れかに読み出される。選択セルの接続されていない側のビット線の電位はプリチャージレベルに留まる。このとき、トランスファゲートはオンしているので、選択セルが、分割ビット線対のいずれの側にあっても両分割ビット線には、セルデータの“0”～“3”に従った同一の電圧が現れる。この電圧は、図5に示されるように、セルデータが“0”、“1”であるときは1/2VCC (=VP)より低く、“2”、“3”であるときはVPより高くなる。

【0008】時刻T2において、トランスファゲートTGがオフし、続いてセンスアンプSA2が活性化が始まり、分割ビット線対BL2、BL2B上のデータの増幅が始まる。時刻T3において、分割ビット線対BL2、BL2Bの一方が“1”レベル(VCC)、他方が“0”レベル(GND)になる。ここで、選択セルが、ビット線BL側に接続され、セルに“2”または“3”が格納されていたものと仮定すると、BL2がVCCレベル、BL2BがGNDレベルとなる。

【0009】このとき、BL2とBL2Bの振幅は概ね

3

1/2VCCとなっている。その結果、カップル容量Ccにより、BL1Bは、xV持ち上げられ、BL1はxV引き下げられることになる。ここで、隣り合う信号レベルの電位差を2dVとし、変動する電位差xVをdVに等しくなるようにカップル容量Ccを調整しておけば、リファレンスレベルとなるBL1BのレベルはVPからVP+dVとなる。これに対し、選択セル側のBL1のレベルは、記憶データが“2”であったときには、VP+dVからVPへ、また記憶データが“3”であったときには、VP+3dVからVP+2dVへと変化する。

【0010】そのため、時刻T4でセンスアンプSA1が活性化されると、BL1とBL1Bは、記憶データに従って、一方が“1”レベル(VCC)、他方が“0”レベル(GND)になる。すなわち、記憶データが“3”であるとき、実線で示すように、BL1がVC

C、BL1BがGNDとなり、記憶データが“2”であるとき、点線で示すように、BL1がGND、BL1BがVCCとなる。

【0011】選択セルの記憶データが、“0”または“1”であるとき、カップル容量Ccによる電位変動は逆方向に働き、BL1Bのリファレンス電位はVPからVP-dVとなり、他方のBL1のレベルは、VP-2dV(“0”のとき)、またはVP(“1”のとき)となる。このように、SA2でセンスし、その結果をSA1のセンスレベルへフィードバックすることで、SA2ではMSBのデータが、SA1ではLSBのデータが増幅される。これらの信号は、カラム選択線の信号をハイとすることにより、I/O1およびI/O2を介して外部に読み出される。また、セルへの再書き込みは、ワード線WLk(k=0, 2, 3, ...)を選択した状態のまま、トランスファゲートTGをオンさせることにより行うことができる。このとき、ビット線の電位は、TGのオン前のビット線の電位とビット線容量CB1、CB2の容量比で決まる、VCCを“3”、GNDを“0”とするレベルとなる。

【0012】ここで、メモリセルの容量をCs、分割ビット線のBL1の容量をCB1とすると、セルに蓄える最高の電圧(VCC)と最低電圧(GND)との間のセルから読み出される電圧差Vrは、読み出し時にはトランスファゲートTGがオンしているため、ビット線容量は3CB1となるため、

$$V_r = VCC / (1 + 3CB1 / C_s)$$

となる。各レベル間の電位差2dVはVr/3であるから、

$$2dV = VCC / \{3(1 + 3CB1 / C_s)\}$$

となる。

【0013】一方、ビット線のVCCの振幅によってカップル容量Ccを介してクロス交差したビット線に与えられる電位変化xVは、

4

$$xV = VCC / \{2(1 + CB1 / C_c)\}$$

となる。したがって、xV=dVが成立するための条件は、

$$1 + CB1 / C_c = 3(1 + 3CB1 / C_s)$$

ここで、CB1/Cs ≫ 1、CB1/Cc ≫ 1であるから、

$$CB1 / C_c = 9CB1 / C_s$$

$$C_c = C_s / 9$$

となる。よって、ビット線間のカップル容量は、セル容量の1/9とすればよいことになる(但し、この値はセンス方式を変えることによって変化するものであって恒定的なものではない)。

【0014】

【発明が解決しようとする課題】上述した構成の多値メモリでは、MSB以外のビットを誤りなく読み出すためには、カップル容量Ccとメモリセル容量Csとの比を一定にしておくことが極めて重要なことである。この比が一定化されない場合には、読み出し電圧に対する許容度が低くなりまた誤読み出しの可能性が高くなる。而して、半導体製造工程においては、プロセス変動が生じることを避けることはできず、そして、プロセスに変動が生じた場合には、そのプロセスで形成された容量素子の容量値にバラツキが生じることになる。よって、本発明が解決すべき第1の課題は、製造プロセスに変動が生じることがあっても、カップル容量Ccとメモリセル容量Csとの容量比を常に一定に確保することができるようにすることである。この第1の課題は、カップル容量素子とメモリセル容量素子とを同一のプロセスにより形成することにより解決することができる。このようにすれば、仮にプロセス変動により、容量絶縁膜の膜厚や容量素子の電極高さにバラツキが生じそのために容量値にバラツキが生じることがあっても、容量比にはバラツキが生じないようにすることができるからである。

【0015】DRAMを安定動作させるには、メモリセル容量Csを大きくする必要があるが、セルサイズが小さくなったため、最近ではキャパシタ構造を3次元的に形成したスタックト型およびトレンチ型が用いられている。これらキャパシタ構造を構成するトランジスタの拡散層に接続される電極は、設計ルールと呼ばれる最小寸法を用いてパターン形成される。ところで、カップル容量Ccはメモリセル容量Csに対して常に数分の1の値になるように正確に形成する必要があり、そのために、カップル容量素子とメモリセル容量素子とを同一のプロセスにおいて形成することが望ましいが、既にメモリセル容量素子は最小設計ルールに基づいて設計されているため、Csと同じ層の材料を使用し、なおかつCsの数分の1の容量を単独の容量素子により得ることは極めて困難なことである。よって、本発明の解決すべき第2の課題は、最小設計ルールを維持しつつ、かつ、セル容量Csと同一の層の材料を使用しながら、セル容量の数

の1の容量の素子を形成しうることである。

【0016】メモリセル容量 $C_s$ を大きくするために容量絶縁膜の膜厚は容量膜にかかる電圧においてリークが無視できる最低限の厚さにまで薄膜化されている。メモリセル容量素子の容量絶縁膜には、ビット線BL、BLBとプレート間の電位差の電圧が加わる。ビット線に加わる電圧はメモリセル内部の電源電圧VCCと接地電位GNDの間で変化する。プレートに加わる電圧VPはメモリセル内部の電源電圧の半分の $VCC/2$ である。したがって、メモリセル容量素子の容量絶縁膜に印加される電圧は最大で $VCC/2$ である。一方、カップル容量は対になる2つのビット線に接続される。よってカップル容量素子に加わる電圧は最大VCCとメモリセル容量素子の2倍になる。よって、本発明の解決すべき第3の課題は、メモリセル容量素子と同一プロセスにより形成されたカップル容量素子にメモリセル容量より高い電圧が印加されることがあってもリークや絶縁破壊を招くことのないようにすることである。

【0017】

【課題を解決するための手段】上述した第1の課題は、20 カップル容量素子をメモリセル容量素子と同一のプロセスにおいて形成するようにすることにより解決することができる。また、上述の第2、第3の課題は、カップル容量素子を、メモリセル容量素子と同等若しくはそれより容量値の大きい、すなわち、メモリセル容量素子と同等もしくはそれ以上のサイズを有する複数の単位容量素子の直列接続によって構成することにより解決することができる。

【0018】

【発明の実施の形態】本発明による半導体記憶装置は、30 ビット線対が複数に分割され、分割された隣接する分割ビット線間でたすき掛けにカップル容量素子が形成されている多値メモリであって、前記カップル容量素子の2つの電極と容量絶縁膜は、データ記憶用容量素子（メモリセル容量素子）の2つの電極と容量絶縁膜と同一の層の導電層および絶縁膜で形成されていることを特徴としている。

【0019】そして、好ましくは、前記カップル容量素子は、前記メモリセル容量素子と同一の層構造を有し、平面形状がこれと同等かあるいはこれより大きい単位容量素子を複数個直列に接続して構成される。

【0020】上記の構成によれば、例えばプロセス変動により、形成された容量素子の容量値にバラツキが生じることがあっても、そのバラツキはカップル容量とメモリセル容量とで同一の傾向をもって現れるため、容量比に影響を与えることはない。また、本発明によれば、カップル容量を形成するための特別の工程を設ける必要がないため、1セル1ビットの従来のDRAMを製造する場合と同様の簡素なプロセスにより多値メモリを形成することができるという副次的な効果も享受することができ

る。

【0021】また、カップル容量素子を、メモリセル容量素子の大きさと同じかあるいはそれ以上の大きさの単位容量素子を複数個直列に接続して構成しているため、メモリセルを形成する際に用いた最小設計寸法を縮小することなくメモリセル容量以下の容量値の容量素子を形成することが可能になる。さらに、カップル容量素子を複数個の単位容量素子の直列接続体により構成したことにより、個々の単位容量素子に印加される電圧が分割され、その容量絶縁膜に加わる電圧がビット線に加わる電圧の直列接続個数分の1となり、カップル容量にメモリセル以上の電圧が印加されることがあってもその容量絶縁膜に大きなリークが流れたり絶縁破壊が生じたりすることがなくなる。

【0022】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図1は、本発明の第1の実施例を示す回路図である。図4に示した回路と異なる点は、分割ビット線BL1とBL2BおよびBL2とBL1Bの間に接続されている各々カップル容量素子Ccがメモリセル容量素子Csと同一の層構造を有する単位容量素子を複数個直列に接続して構成されている点である。それ以外の点および回路動作は図4に示した回路の場合と同様であるのでその詳細な説明は省略する。具体的には、図1で示された回路においては、9個の単位容量素子が直列接続されている。この個数は単位容量素子の容量値とセンス回路の種類によって変わる。

【0023】図2は、本発明の第1の実施例の半導体装置におけるカップル容量部1およびメモリセルアレイ部2の構造を模式的に示した断面図である。図2に示されるように、フィールド酸化膜4からなる素子分離領域によって分離されたP型シリコン基板3の表面にゲート酸化膜5が形成されている。フィールド酸化膜4上およびゲート酸化膜5上にはワード線6a、6bが形成されている。ワード線のゲート酸化膜5上の部分はゲート電極を構成している。

【0024】フィールド酸化膜4およびゲート電極(6a)が形成されている領域以外のメモリセルアレイ部2のP型シリコン基板3の表面領域内にはトランジスタのソース・ドレイン領域となるN型拡散層7a、7bが形成されており、カップル容量部1のP型シリコン基板3の表面には単位容量素子を接続するためのN型拡散層7cが形成されている。これらの表面上には、シリコン酸化膜からなる第1層間絶縁膜8が堆積されている。第1層間絶縁膜8中にはN型拡散層7bと第1層間絶縁膜8上に形成された容量下部電極10を接続する第1コンタクトプラグ9が形成されている。

【0025】容量下部電極10上にその表面に堆積された容量絶縁膜11を介して容量上部電極12が形成され

ている。第1層間絶縁膜8上および容量上部電極12上に第2層間絶縁膜13が堆積されている。第2層間絶縁膜13中には容量上部電極12と第2層間絶縁膜13上に形成されたビット線15aとを接続する第2コンタクトプラグ14bが形成されており、第1層間絶縁膜8および第2層間絶縁膜13中にはN型拡散層7a、7cと第2層間絶縁膜13上に形成されたビット線15a、15bとを接続する第2コンタクトプラグ14a、14cが形成されている。その結果、メモリアルレイ部2には容量下部電極10、容量絶縁膜11および容量上部電極12から構成されたメモリアル容量素子が、ワード線6aの上部でビット線15aの下部に形成されているスタックキャパシタ構造のメモリアルセルが形成されている。

【0026】また、カップル容量部1には容量下部電極10、容量絶縁膜11および容量上部電極12から構成された複数個（ここでは9個）の単位容量素子が形成され、それぞれの単位容量素子は容量上部電極12および第1コンタクトプラグ9とN型拡散層7cによって直列に接続され、直列に接続された一端は第2コンタクトプラグ14bを介して対になる一方のビット線15bに接続され、他端は第2コンタクトプラグ14cを介して対になる他方のビット線15bに接続されている。よって、ビット線15a、15b間に単位容量素子の直列接続体からなるカップル容量素子が接続されている。カップル容量部1において、すべての単位容量素子はメモリアルセルのセル容量 $C_s$ と同等の容量を持つように設計されている。

【0027】〔第2の実施例〕図3は、本発明の第2の実施例の半導体装置におけるカップル容量部21およびメモリアルレイ部22の構造を模式的に示した断面図である。なお、本実施例メモリの回路図は図1に示した第1の実施例のものと同様である。図3に示されるように、フィールド酸化膜24からなる素子分離領域によって分離されたP型シリコン基板23の表面にゲート酸化膜25が形成されている。ゲート酸化膜25上の所望の領域に形成されたワード線26aはトランジスタのゲート電極を構成しており、フィールド酸化膜24上に形成されたワード線26bはゲート電極を接続する配線となっている。フィールド酸化膜24およびゲート電極（26a）が形成されている領域以外のメモリアルレイ部22のP型シリコン基板23の表面領域内にはトランジスタのソース・ドレインとなるN型拡散層27a、27bが形成されており、カップル容量部21のP型シリコン基板23の表面にはキャパシタを接続するためのN型拡散層27cが形成されている。これらの表面上には、シリコン酸化膜からなる第1層間絶縁膜28が堆積されている。

【0028】第1層間絶縁膜28中には、N型拡散層27bと第1層間絶縁膜28上に形成されたビット線30

aを接続する第1コンタクトプラグ29が形成されている。ビット線30a、30bの表面上および第1層間絶縁膜28上には第2層間絶縁膜31が堆積されている。第2層間絶縁膜31中には、ビット線30a、30bと第2層間絶縁膜31上に形成された容量下部電極33とを接続する第2コンタクトプラグ32cが形成されており、第1層間絶縁膜28および第2層間絶縁膜31中には、N型拡散層27b、27cと第2層間絶縁膜31上に形成された容量下部電極33とを接続する第2コンタクトプラグ32a、32bが形成されている。

【0029】容量下部電極33上にはその表面に堆積された容量絶縁膜34を介して容量上部電極35が形成されている。その結果、メモリアルレイ部22には、容量下部電極33、容量絶縁膜34および容量上部電極35から構成されたメモリアル容量素子がワード線26aおよびビット線30a上部に形成されているスタックキャパシタ構造のメモリアルセルが形成されている。また、カップル容量部21には、容量下部電極33、容量絶縁膜34および容量上部電極35から構成された複数個（この実施例では12個）のキャパシタが形成され、それぞれのキャパシタは容量上部電極35および第2コンタクトプラグ32bとN型拡散層27cによって直列に接続され、直列に接続された一端は第2コンタクトプラグ32cを介して対になる一方のビット線30aに接続され、他端は第2コンタクトプラグ32cを介して対になる他方のビット線30bに接続されている。よって、ビット線30a、30b間には単位容量素子の直列接続体によって構成されるカップル容量素子が接続されたことになる。この実施例においては、メモリアル容量 $C_s$ の4/3の容量を有する単位容量素子を12個直列接続することにより、 $C_s/9$ の容量値のカップル容量素子を得ている。

#### 【0030】

【発明の効果】以上接続したように、本発明による半導体記憶装置は、ビット線間のカップル容量素子をメモリアル容量素子と同一のプロセスで形成するようにしたものである。たとい容量を形成する際のプロセスの変動により、例えば容量絶縁膜厚や電極高さなどにバラツキが生じて、メモリアルセルの容量とカップル容量の比は一定に保たれるために、多値センス動作のマージンを大きく確保することができる。また、カップル容量素子を構成する電極層および容量絶縁膜は、メモリアル容量素子を構成する層と同じ層を用いているので、製造工程を増加する必要がなく、多値メモリを従来のDRAMと同等の製造コストで製造することが可能である。

【0031】また、カップル容量素子を、メモリアル容量素子と同等またはそれ以上のサイズの単位容量素子の直列接続体によって構成しているので、メモリアルセルを形成する際に用いた最小設計寸法を維持したまま、メモリアルセル容量以下の容量値のカップル容量素子を形成するこ

とが可能になる。そして、最小設計寸法に変更がないため、新たな製造装置を投入する必要はなく設備コストの負担を増加させることなく、多値メモリの製造が可能になる。

【0032】さらに、カップル容量素子が複数の単位容量素子の直列接続体により構成されていることにより、全体にかかる電圧は分割され、個々の単位容量素子の容量絶縁膜にかかる電圧がビット線にかかる電圧の直列接続個数分の1になり、メモリセル容量素子に用いる容量絶縁膜と同じ絶縁膜を用いても、リーク電流が増加したり絶縁破壊が生じたりすることはなく、高い信頼性を維持することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図。

【図2】本発明の第1の実施例の断面図。

【図3】本発明の第2の実施例の断面図。

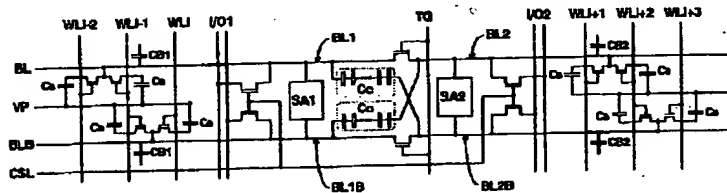
【図4】本発明に先行して創案された多値メモリの回路図。

【図5】図4に示した多値メモリの動作説明図。

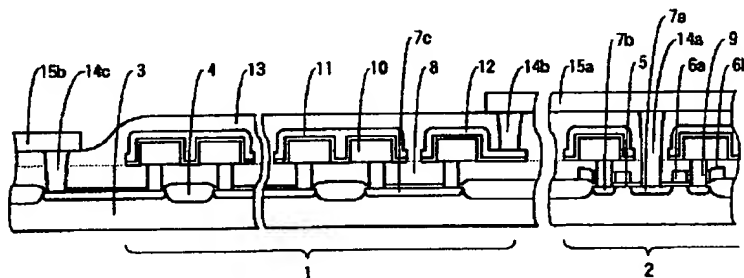
【符号の説明】

- 1、21 カップル容量部
- 2、22 メモリセルアレイ部
- 3、23 P型シリコン基板
- 4、24 フィールド酸化膜
- 5、25 ゲート酸化膜
- 6a、6b、26a、26b ワード線
- 7a、7b、7c、27a、27b、27c N型拡散層
- 8、28 第1層間絶縁膜
- 9、29 第1コンタクトプラグ
- 10、33 容量下部電極
- 11、34 容量絶縁膜
- 12、35 容量上部電極
- 13、31 第2層間絶縁膜
- 14a、14b、14c、32a、32b、32c 第2コンタクトプラグ
- 15a、15b、30a、30b ビット線

【図1】



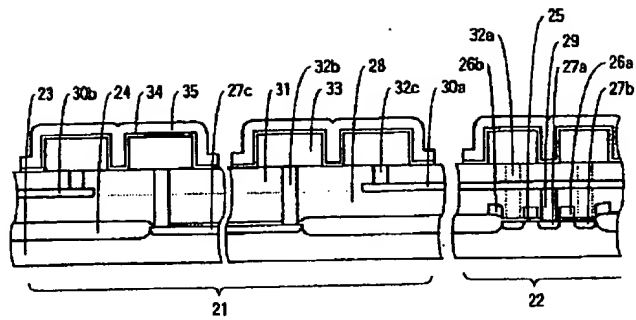
【図2】



- |                  |                          |               |
|------------------|--------------------------|---------------|
| 1 カップル容量部        | 2 メモリセルアレイ部              | 3 P型シリコン基板    |
| 4 フィールド酸化膜       | 5 ゲート酸化膜                 | 6a, 6b ワード線   |
| 7a, 7b, 7c N型拡散層 | 8 第1層間絶縁膜                | 9 第1コンタクトプラグ  |
| 10 容量下部電極        | 11 容量絶縁膜                 | 12 容量上部電極     |
| 13 第2層間絶縁膜       | 14a, 14b, 14c 第2コンタクトプラグ | 15a, 15b ビット線 |

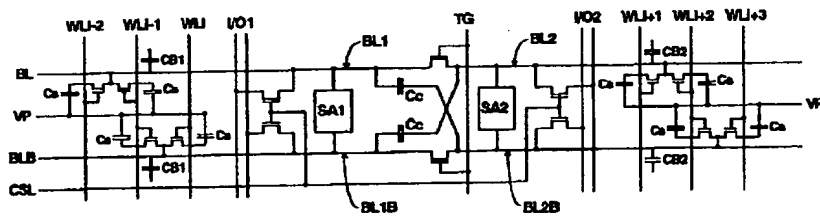


【図3】



- |                     |              |                          |
|---------------------|--------------|--------------------------|
| 21 カップル容量部          | 22 メモリセルアレイ部 | 23 P型シリコン基板              |
| 24 フィールド酸化膜         | 25 ゲート酸化膜    | 26a, 26b ワード線            |
| 27a, 27b, 27c N型拡散層 | 28 第1層間絶縁膜   | 29 第1コンタクトプラグ            |
| 30a, 30b ビット線       | 31 第2層間絶縁膜   | 32a, 32b, 32c 第2コンタクトプラグ |
| 33 容量下部電極           | 34 容量絶縁膜     | 35 容量上部電極                |

【図4】



【図5】

